

# BUNDESREPUBLIK DEUTSCHLAND

DE 04 101376

## PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 20 OCT 2004

WIPO

PCT

### Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:**

103 30 064.3

**Anmeldetag:**

03. Juli 2003

**Anmelder/Inhaber:**

Siemens Aktiengesellschaft, 80333 München/DE

**Bezeichnung:**

Logikgatter mit potentialfreier Gate-Elektrode  
für organische integrierte Schaltungen

**IPC:**

H 03 K, H 01 L

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Oktober 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Schmidt C.

BEST AVAILABLE COPY

200007134

1

Beschreibung

Logikgatter mit potentialfreier Gate-Elektrode für organische integrierte Schaltungen

5 Das technische Gebiet der Erfindung betrifft organische Logikgatter wie beispielsweise ANDs, NANDs, NORs und dergleichen. Die vorliegende Erfindung betrifft weiterhin das Problem der Schaltzeiten und der Schaltstabilität von organischen Logikgattern.

10 Dieses Problem wird bisher nur teilweise durch Verbinden der Gate-Elektrode des Lade-FETs im Logikgatter mit der Versorgungsspannung gelöst, wodurch schnelle Logikgatter bereitgestellt werden können. Diese Lösung erfordert jedoch eine hohe Versorgungsspannung von über 20V. Diese Maßnahme zur Verbesserung des Schaltverhaltens von organischen Logikgattern ist beispielsweise in dem Artikel „Fast polymer integrated circuits“ der Applied Physical Letters, Ausgabe 81, Seite 1735, (2002) beschrieben.

15 Ein anderer Ansatz wird beispielsweise in dem Artikel „High-performance all-polymer integrated circuits“ Applied Physical Letters, Ausgabe 77, Seite 1487, (2000) beschrieben. In diesem Artikel wird beschrieben, dass die Gate-Elektrode des Lade-FETs mit dem Ausgang des Inverters bzw. des Logikgatters verbunden werden kann. Damit erhält man Schaltungen, die mit niedrigen Spannungen betrieben werden können, jedoch den Nachteil aufweisen, dass sie sehr langsam sind.

30 Es wurden bisher keine organischen Logikgatter-Schaltungen verwirklicht, die auch mit geringen Versorgungsspannungen schnell und stabil schalten können.

35 Es ist aus Gründen der Energieeffizienz wünschenswert die Versorgungsspannungen von organischen Logikgatter-Schaltungen auch bei einem schnellen Betrieb von organischen Schaltungen

zu senken, ohne dabei die Schaltstabilität zu beeinträchtigen.

Es ist weiterhin wünschenswert, die Schaltzeiten von organischen Logikgatter-Schaltungen zu verringern, ohne die Versorgungsspannung erhöhen zu müssen.

Es ist darüber hinaus wünschenswert, die Schaltstabilität von organischen Schaltungen zu erhöhen, ohne dabei die Schaltzeiten zu beeinträchtigen oder die Versorgungsspannungen zu erhöhen.

Die Erfindung stellt gemäß einem ersten Aspekt ein organisches Logikgatter mit mindestens einem Lade-FET und mindestens einem Schalt-FET bereit. Der (mindestens eine) Lade-FET weist dabei mindestens eine Gate-Elektrode, eine Source-Elektrode und eine Drain-Elektrode auf. Das erfindungsgemäße organische Logikgatter ist dabei dadurch gekennzeichnet, dass die Gate-Elektrode des Lade-FETs potentialfrei ist.

Durch Verwenden einer potentialfreien Elektrode kann ein schnell und gleichzeitig stabil schaltendes organisches Logikgatter aufgebaut werden.

In einer vorteilhaften Ausführungsform des organischen Logikgatters ist die Gate-Elektrode des Lade-FETs kapazitiv an eine Source-Elektrode des Lade-FETs gekoppelt. In einer anderen vorteilhaften Ausgestaltung des organischen Logikgatters ist die Drain-Elektrode des Schalt-FETs kapazitiv an eine Gate-Elektrode des Lade-FETs gekoppelt. Damit kann mit relativ geringem Aufwand die Gate-Elektrode an eine der anderen Anschlüsse des Lade-FETs gekoppelt werden, um das Schaltverhalten des Logikgatters zu verbessern. Die kapazitive Kopplung zwischen Gate-Elektrode und einem der anderen Anschlüsse des FET's gestattet es, bei geeigneter Auslegung des Lade-FETs und der Kopplungskapazität, die

Schalteigenschaften des Logikgatters zu verbessern. Die vorliegende Erfindung gestattet es organischen Logikgattern, auch bei niedrigen Versorgungsspannungen (unter 10V) schnell und stabil zu funktionieren bzw. zu schalten.

5

In einer weiteren vorteilhaften Ausgestaltung der Erfindung wird die kapazitive Kopplung durch eine Überlappung der Gate-Elektrode mit der Source-Elektrode des Lade-FETs erreicht. In einer anderen vorteilhaften Ausgestaltung der Erfindung wird

10

die kapazitive Kopplung durch eine Überlappung der Gate-Elektrode mit der Drain-Elektrode des Lade-FETs erreicht. Die Ausführung einer kapazitiven Kopplung kann durch einen leicht erhöhten Schaltungsdesign-Aufwand erhalten werden, ohne dass bei der Herstellung zusätzliche Arbeits- oder Prozessschritte

15

eingeführt werden müssen. Durch den Platzbedarf der kapazitiven Kopplung bzw. des Koppelkondensators kann der Platzbedarf eines Logikgatters ansteigen.

20

Eine andere vorteilhafte Ausgestaltung eines organischen Logikgatters ist ohne Durchkontaktierungen aufgebaut. Bei einer kapazitiven Kopplung zwischen Gate-Elektrode und Source- oder Drain-Elektrode eines Lade-FETs kann auf eine galvanische Kopplung zwischen den beiden Elektroden verzichtet werden. In den beiden vorstehenden Fällen kann auf eine Durchkontaktierung der Isolationsschicht zwischen Gate-Elektrode und Source- bzw. Drain-Elektrode vollständig verzichtet werden. Dadurch kann der Herstellungsprozess vereinfacht werden. Darüber hinaus kann die Ausbeute erhöht werden, da weniger bzw. keine schadhafte

30

Durchkontaktierungen auftreten.

35

In einer weiteren vorteilhaften Ausgestaltung der vorliegenden Erfindung ist die Gate-Elektrode des Schalt-FETs resistiv an die Drain-Elektrode und/oder die Source Elektrode des Lade-FETs gekoppelt. Im einfachsten Fall entsteht dadurch eine galvanische Kopplung zwischen der (mindestens einer) Gate-Elektrode und einem der Anschlüsse des Lade-FETs. Die

galvanische Kopplung kann durch Durchkontaktierungen durch die Isolationsschicht des FETs oder durch Leiterbahnen verwirklicht werden, die über einen Bereich der (eventuell aufgedruckten) Isolatorschicht hinausgehen und dort einen Kontakt bilden. Diese Auslegung weist einen weiteren Vorteil auf, da durch eine geeignete Wahl der Länge, der Breite sowie der Überdeckung der Leiterbahnen bis zu einem Randbereich der Isolatorschicht die Kapazität und der Widerstand der resistiven Kopplung eingestellt werden können.

10

In einer anderen bevorzugten Ausführungsform der Erfindung ist die Gate-Elektrode des Schalt-FETs, parallel zu der kapazitiven Kopplung, resistiv an die Source-Elektrode des Lade-FETs gekoppelt. Bei einer anderen vorteilhaften Ausführungsform der vorliegenden Erfindung ist die Gate-Elektrode des Schalt-FETs, parallel zu der kapazitiven Kopplung, resistiv an die Drain-Elektrode des Lade-FETs gekoppelt. Durch die Kombination einer Kapazität mit einem Widerstand wird ein RC-Glied aufgebaut, das der Kopplung des Lade-FETs ein Zeitverhalten aufprägt, das die Schaltzeit des Lade-FETs positiv beeinflussen kann. Bei der Auslegung des RC-Glieds ist jedoch die Eigenkapazität des FETs zu berücksichtigen.

20

Im Folgenden wird die Erfindung anhand der beigefügten Zeichnung beschrieben, wobei

30

Fig. 1 eine Ausführungsform eines Logikgatters mit einem Lade-FET mit einer potentialfreien Gate-Elektrode darstellt,

Fig. 2 eine Ausführungsform eines Inverters mit einem Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt,

35

Fig. 3 eine Ausführungsform eines Inverters mit einem Lade-FET und einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt, und



Fig. 4 stellt eine Schnittansicht durch einen Lade-FET gemäß einer Ausführungsform der vorliegenden Erfindung dar.

- 5 Sowohl in der Beschreibung als auch in den Figuren wurden gleiche Bezugszeichen für gleiche oder ähnliche Elemente verwendet.

10 Fig. 1 stellt eine Ausführungsform eines Logikgatters mit einem Lade-FET mit einer potentialfreien Gate-Elektrode dar. Das gewählte Logikgatter ist hier als Inverter ausgeführt, da der Inverter als der einfachste Baustein die Vorteile der vorliegenden Erfindung am deutlichsten darstellen kann. Die Figur 1 zeigt die Reihenschaltung zweier Transistoren 2 und 4 zu einem Inverter. Der Transistor 2 ist dabei der Schalttransistor und der Transistor 4 ist der Ladetransistor. In 15 Figur 1 ist die Source-Elektrode 6 des Schalt-FETs 2 geerdet. Die Drain-Elektrode ist mit dem Ausgang 12 des Inverters verbunden. Die Gate-Elektrode 10 des Schalttransistors 2 bildet den Eingang des Inverters. Die Source- und die Drain-Elektrode des Ladetransistors 4 verbinden den Ausgang 12 des Inverters mit der Versorgungsspannung 8. 20

Fig. 2 stellt eine Ausführungsform eines Inverters mit einem Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode dar. In Figur 2 ist die Gate-Elektrode des Lade-FETs 4 durch die Kapazität 14 mit dem Ausgang 12 gekoppelt. Die Kapazität 14 kann beispielsweise durch Überlappung der Gate-Elektrode mit der Source- bzw. Drain- 30 Elektrode umgesetzt werden. Die kapazitive Kopplung durch den Kondensator 14 kann, wie dargestellt, durch eine Parallelschaltung mit einem Widerstand 18 ergänzt werden.

35 In Fig. 3 ist eine Ausführungsform eines Inverters mit einem Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt. In Figur 3 ist die Gate-Elektrode des Lade-FETs 4 durch die Kapazität 16 mit der

Versorgungsspannung 8 gekoppelt. Die Kapazität 16 kann beispielsweise durch Überlappung der Gate-Elektrode mit der Source- bzw. Drain-Elektrode implementiert werden. Die kapazitive Kopplung durch den Kondensator 16 kann, wie  
5 dargestellt, durch einen parallel geschalteten Widerstand 18 ergänzt werden.

Alle anderen möglichen Logikgatter wie beispielsweise AND, NAND, OR, NOR, XOR und dergleichen lassen sich aus der  
10 Inverterschaltung durch Hinzufügen von in Reihe oder parallel geschalteten (Schalt-) FETs umsetzen und werden daher nicht explizit aufgeführt.

Figur 4 stellt einen Querschnitt durch einen Lade-FET gemäß  
15 der vorliegenden Erfindung dar. Der Lade-FET ist auf einem Trägermaterial bzw. einem Substrat 22 aufgebracht. Das Substrat 22 kann beispielsweise aus Glas, Kunststoff, einem Kristall oder einem ähnlichen Material bestehen.

20 Auf dem Substrat 22 sind zwei Elektroden 8 und 12 des Lade-FETs aufgebracht. Eine der Elektroden 8, 12 ist die Source-Elektrode und eine Elektrode ist die Drain-Elektrode. Je nach Wahl der Elektroden ergibt sich eine Schaltung gemäß Figur 2 oder Figur 3.

Die beiden Elektroden 8, 12 sind durch eine Halbleiterschicht 24 verbunden. Über der Halbleiterschicht 24 ist eine Isolatorschicht 26 angeordnet. Über der Isolatorschicht 24 ist die Gate-Elektrode 20 angeordnet. Der Bereich 4 definiert  
30 dabei im Wesentlichen den Ladetransistor und der Bereich 16 definiert im Wesentlichen den Bereich der kapazitiven Kopplung zwischen der Gate-Elektrode 20 und der Elektrode 8. Mit den dargestellten Bezugszeichen stellt der Schnitt eine mögliche Umsetzung des Lade-FETs der Inverterschaltung von  
35 Fig. 3 dar. Bei einer anderen Zuordnung der Bezugszeichen lässt sich der dargestellte Schnitt auch auf die Inverterschaltung von Fig. 2 anwenden.

Die in Figuren 2 und 3 dargestellten Widerstände 18 sind in Figur 4 nicht dargestellt und können beispielsweise durch Durchkontaktierungen durch die Schicht 26 zwischen den Elektroden 8 und 20 verwirklicht werden.

Es ist klar, dass auch Logikgatter-Schaltungen mit mehr als einem Lade-FET d. h. beispielsweise Kombinationen z. B. Parallel- oder Reihenschaltungen von Lade-FETs gemäß Fig. 2 und Fig. 3 auch unter die vorliegende Erfindung fallen.

Es ist weiterhin klar, dass sich die vorliegende Erfindung auch auf tristate Logikgatter anwenden lässt. Es ist klar, dass die Anschlüsse 6 und 8 auch vertauscht werden können.



## Patentansprüche

1. Organisches Logikgatter mit mindestens einem Lade-  
Feldeffekttransistor (Lade-FET) und mindestens einem  
Schalt-Feldeffekttransistor (Schalt-FET), wobei der Lade-  
FET mindestens eine Gate-Elektrode, eine Source-Elektrode  
und eine Drain-Elektrode aufweist, dadurch  
gekennzeichnet, dass die Gate-Elektrode des Lade-FETs  
potentialfrei ist.
2. Organisches Logikgatter gemäß Anspruch 1, dadurch  
gekennzeichnet, dass die Gate-Elektrode des Schalt-  
FETs kapazitiv an eine Source-Elektrode des Lade-FETs  
gekoppelt ist.
3. Organisches Logikgatter gemäß Anspruch 2, dadurch  
gekennzeichnet, dass eine kapazitive Kopplung durch  
eine Überlappung der Gate-Elektrode mit der Source-  
Elektrode des Lade-FETs erreicht wird.
4. Organisches Logikgatter gemäß einem der vorstehenden  
Ansprüche, dadurch gekennzeichnet, dass die Gate-  
Elektrode des Schalt-FETs resistiv an die Source-Elektrode  
des Lade-FETs gekoppelt ist.
5. Organisches Logikgatter gemäß einem der vorstehenden  
Ansprüche, dadurch gekennzeichnet, dass die Gate-  
Elektrode des Schalt-FETs kapazitiv an eine Drain-  
Elektrode des Lade-FETs gekoppelt ist.
6. Organisches Logikgatter gemäß Anspruch 5, dadurch  
gekennzeichnet, dass die kapazitive Kopplung durch  
eine Überlappung der Drain-Elektrode mit der Gate-  
Elektrode des Lade-FETs erreicht wird.
7. Organisches Logikgatter gemäß einem der vorstehenden  
Ansprüche, dadurch gekennzeichnet, dass die Gate-

Elektrode des Schalt-FETs resistiv an die Drain-Elektrode des Lade-FETs gekoppelt ist.

- 5 8. Organisches Logikgatter gemäß einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das organische Logikgatter ohne Durchkontaktierungen aufgebaut ist.

## Zusammenfassung

Logikgatter mit potentialfreier Gate-Elektrode für organische integrierte Schaltungen

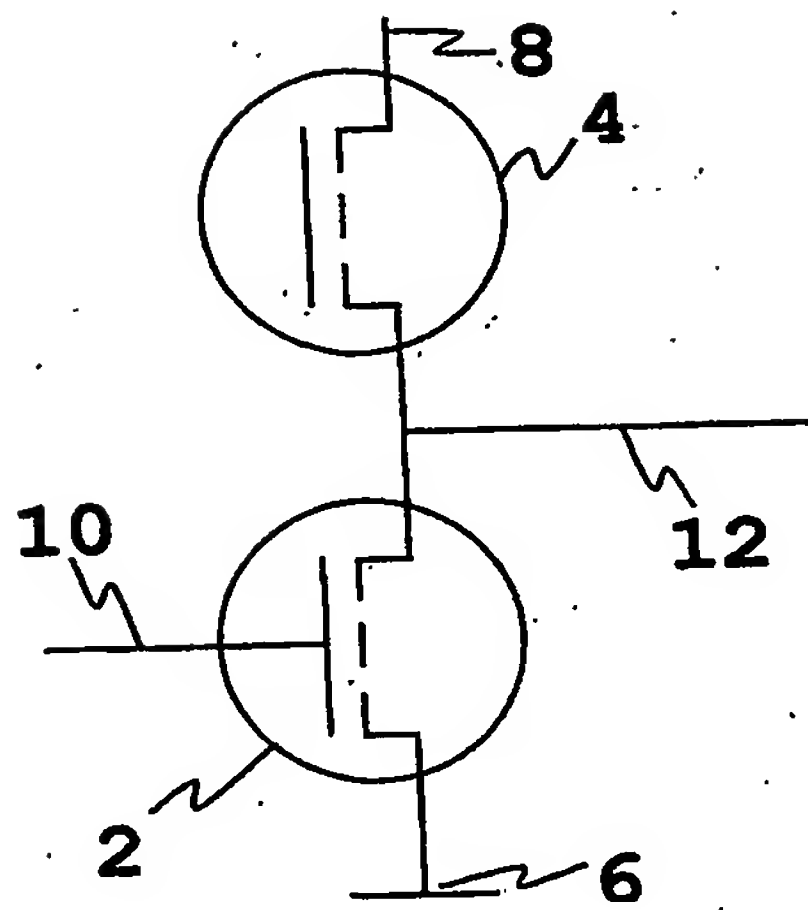
5

Die Erfindung betrifft ein organisches Logikgatter mit mindestens einem Lade-Feldeffekttransistor (Lade-FET) und mindestens einem Schalt-Feldeffekttransistor (Schalt-FET), wobei der Lade-FET mindestens eine Gate-Elektrode, eine

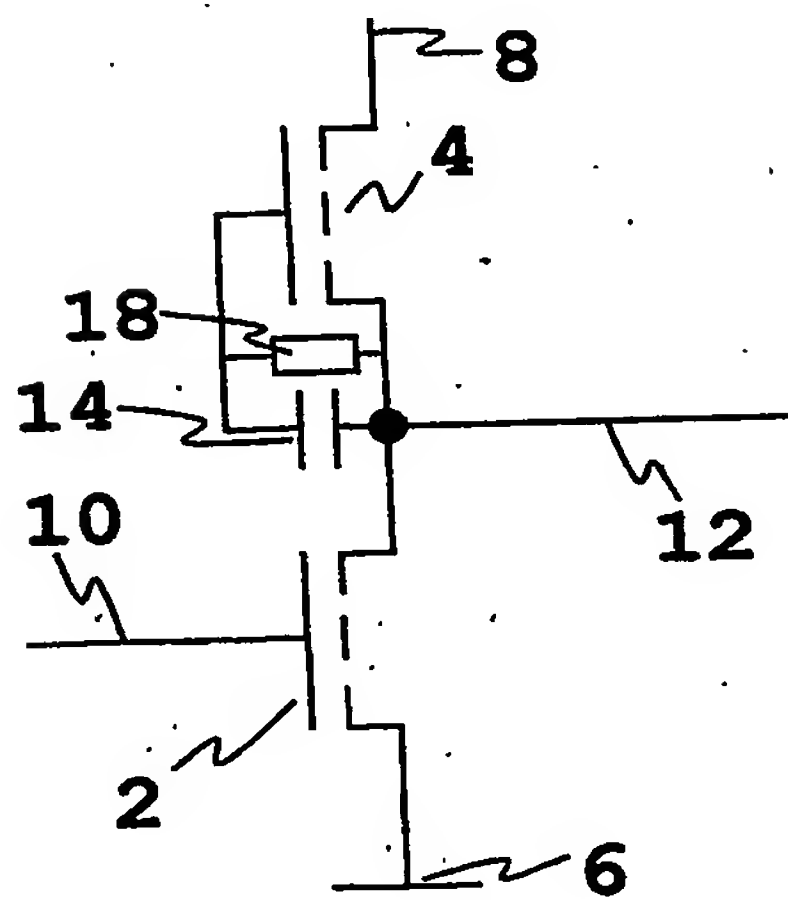
10

Source-Elektrode und eine Drain-Elektrode aufweist, wobei die Gate-Elektrode des Lade-FETs potentialfrei ist.

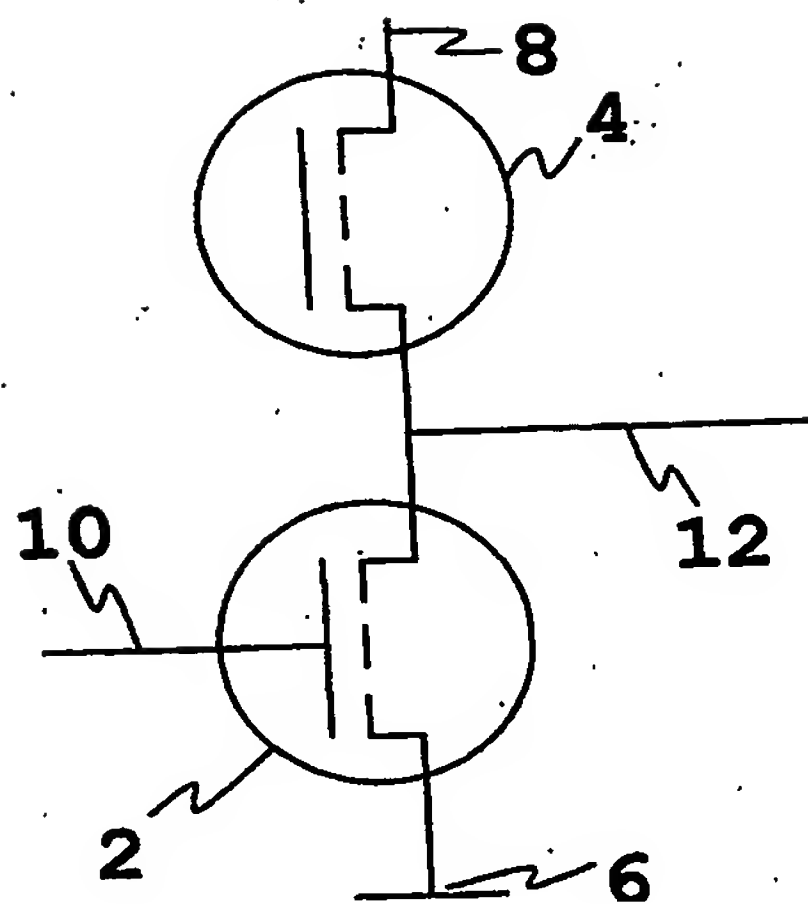
Figur 1



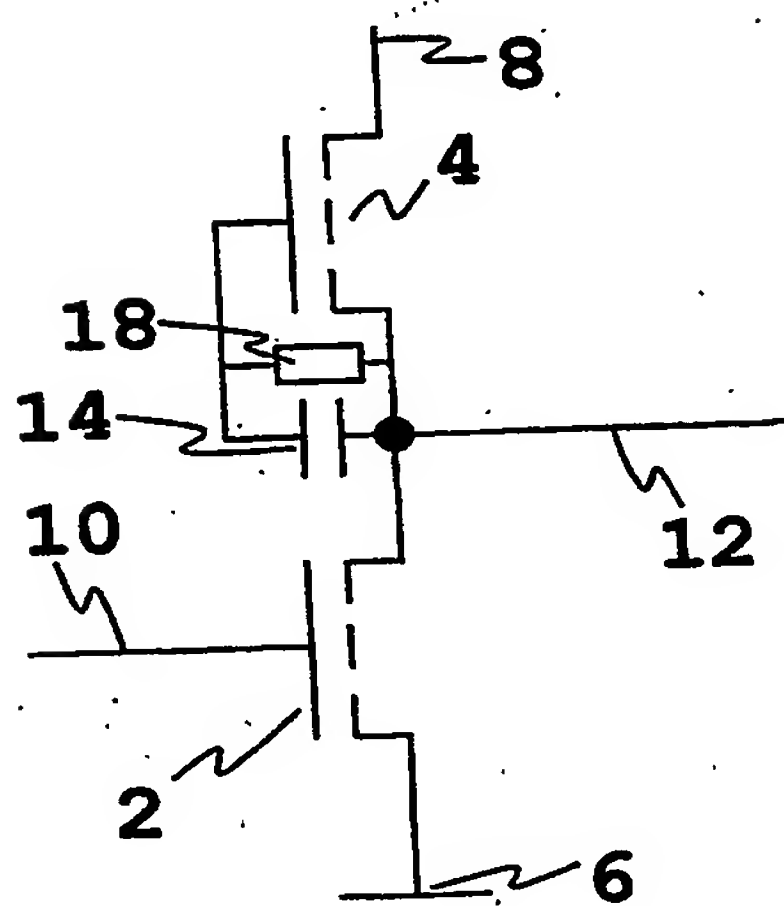
**Fig. 1**



**Fig. 2**

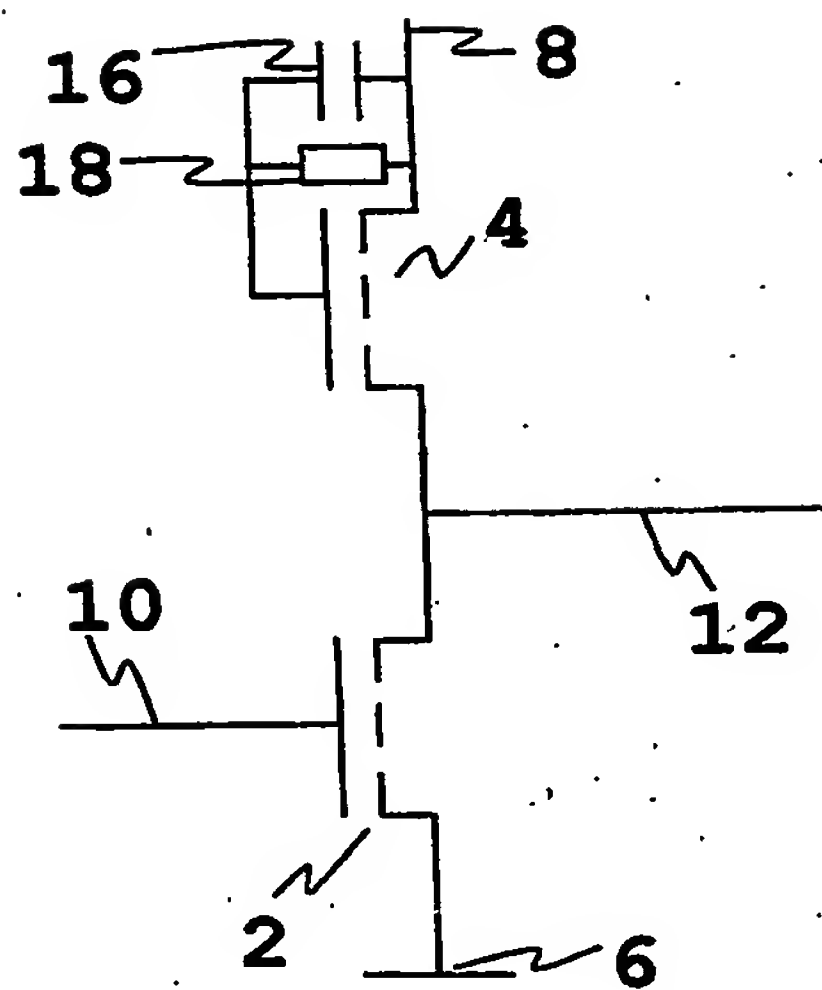


**Fig. 1**

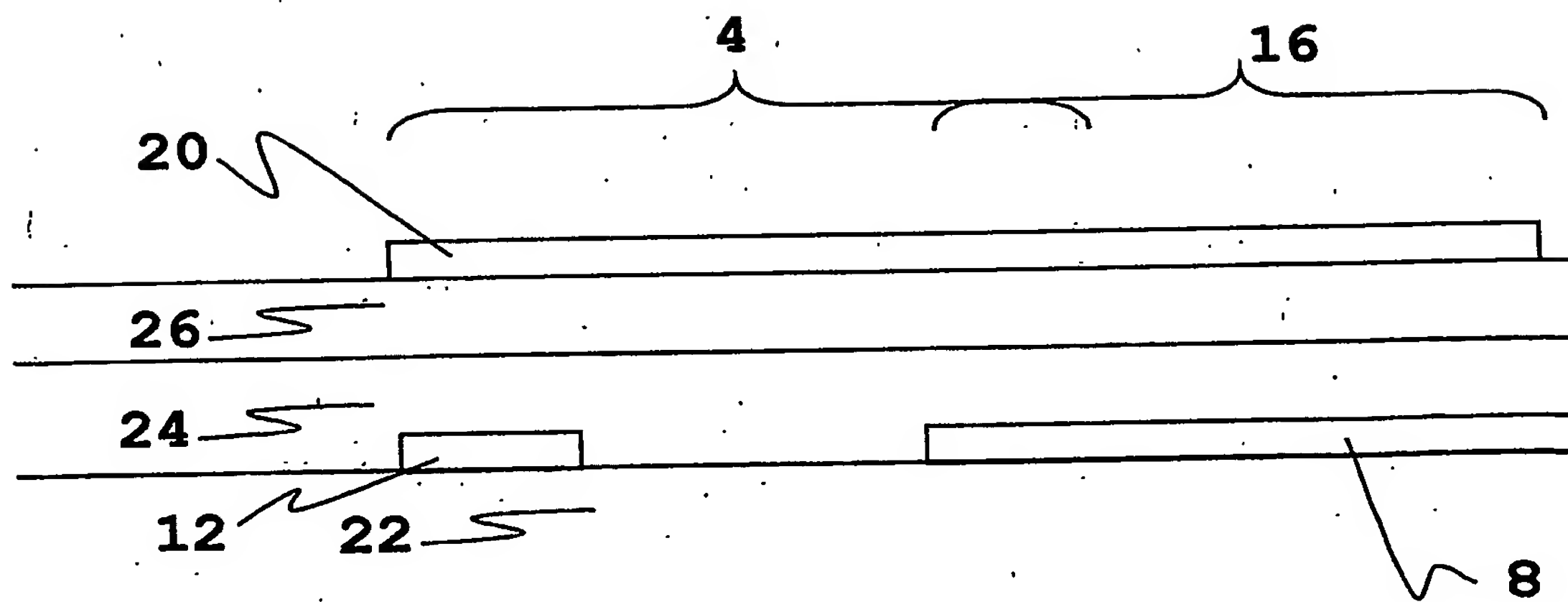


**Fig. 2**





**Fig. 3**



**Fig. 4**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**